

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-270769

(P2002-270769A)

(43) 公開日 平成14年9月20日 (2002. 9. 20)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト* (参考)

H 0 1 L 27/04
21/822
21/304
21/3205
21/768

6 2 1

H 0 1 L 21/304
27/04
21/88
21/90

6 2 1 D 5 F 0 3 3
C 5 F 0 3 8
S
A

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21) 出願番号 特願2001-65253 (P2001-65253)

(22) 出願日 平成13年3月8日 (2001. 3. 8)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 吉富 崇

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 中島 雄一

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

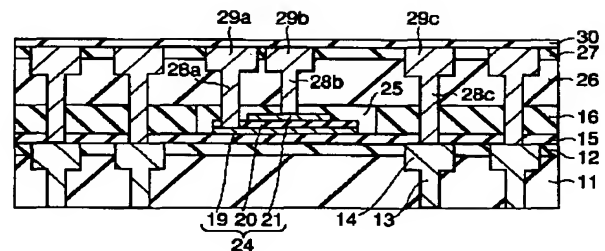
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 キャパシタ上の絶縁膜を平坦にする半導体装置及びその製造方法を提供する。

【解決手段】 平面の全面に形成されたCu拡散防止膜15と、このCu拡散防止膜15上に形成された開口部18を有する絶縁膜16と、この開口部18内のCu拡散防止膜15上に選択的に形成されたキャパシタ24と、開口部18内に形成された第1の層間膜25と、この第1の層間膜25上に形成された第2の層間膜25とを具備する。ここで、絶縁膜16及び第2の層間膜25は低誘電率膜であり、第1の層間膜25は高誘電率膜である。



1

【特許請求の範囲】

【請求項 1】 開口部を有する第 1 の絶縁膜と、前記開口部内に選択的に形成されたキャパシタと、少なくとも前記開口部内に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成された第 3 の絶縁膜とを具備することを特徴とする半導体装置。

【請求項 2】 前記第 1 の絶縁膜及び前記キャパシタは拡散防止膜上に形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記キャパシタ上に拡散防止膜が形成されており、この拡散防止膜上に前記第 2 の絶縁膜が形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記第 1 の絶縁膜は、低誘電率膜、拡散防止膜、拡散防止膜と低誘電率膜との積層膜のいずれかからなることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記第 3 の絶縁膜は低誘電率膜からなり、前記第 2 の絶縁膜は前記第 3 の絶縁膜よりも比誘電率の高い膜からなることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 前記キャパシタの膜厚は、前記第 1 の絶縁膜の膜厚よりも薄いことを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 前記第 2 の絶縁膜は、前記開口部内のみ形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】 前記第 1 の絶縁膜は、前記キャパシタを囲んでいることを特徴とする請求項 1 記載の半導体装置。

【請求項 9】 第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜を選択的に除去して、開口部を形成する工程と、前記開口部内にキャパシタを選択的に形成する工程と、少なくとも前記開口部内に第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜上に第 3 の絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 10】 前記第 1 の絶縁膜は拡散防止膜上に形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】 前記キャパシタ上に拡散防止膜を形成した後、この拡散防止膜上に前記第 2 の絶縁膜を形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 12】 前記第 1 の絶縁膜は、低誘電率膜、拡散防止膜、拡散防止膜と低誘電率膜との積層膜のいずれかからなることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 13】 前記第 3 の絶縁膜は低誘電率膜からなり、前記第 2 の絶縁膜は前記第 3 の絶縁膜よりも比誘電

2

率の高い膜からなることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 14】 前記キャパシタの膜厚は、前記第 1 の絶縁膜の膜厚よりも薄いことを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 15】 前記第 2 の絶縁膜は、前記開口部内のみ形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MIM (Metal Insulating Metal) キャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、ダマシン構造のCu配線とMIM (Metal Insulating Metal) キャパシタとを形成した半導体装置が提供されている。

【0003】図38は、従来技術による半導体装置の断面図を示す。図38に示すように、低誘電率膜41及び高誘電率膜42内に例えばCuからなるViaホール43及び配線44が形成されている。この基板全面にCu拡散防止膜45が形成され、このCu拡散防止膜45上にキャパシタ49が選択的に形成されている。このキャパシタ49は下部電極46と誘電体膜47と上部電極48とからなる。そして、このキャパシタ49上に絶縁膜50が形成され、この絶縁膜の表面がCMP (Chemical Mechanical Polish) で平坦化されている。

【0004】このような従来技術の半導体装置では、配線間の寄生容量を低減するために、絶縁膜50に低誘電率膜を用いることが望まれる。

【0005】しかしながら、低誘電率膜は粗膜であるため、低誘電率膜にCMPを行うとクラックが生じるおそれがある。従って、絶縁膜50に低誘電率膜を用い、この絶縁膜50の表面をCMPで平坦にすることは非常に困難であった。そこで、絶縁膜50にCMPを行ってもクラックの生じ難い高誘電率膜が用いることも考えられる。

【0006】ところが、キャパシタ49はCu拡散防止膜45上に選択的に形成されているため、キャパシタ49が形成されている領域と形成されていない領域とでは、キャパシタ49の厚さ分の段差が生じている。従って、このキャパシタ49の段差を無くするためには、Cu拡散防止膜45上のキャパシタ49の形成されていない領域を絶縁膜50で埋め込む必要がある。つまり、上述するように、キャパシタ49の周囲は高誘電率膜で埋め込まれることになる。このため、高誘電率膜の絶縁膜50でキャパシタ49の段差を無くそうとすると、配線間の寄生容量が増加してしまうという問題が生じてしまう。

【0007】

10

20

30

40

50

3

【発明が解決しようとする課題】以上のように、従来の半導体装置では、CMPを用いてキャパシタ 49 上の絶縁膜 50 の表面を平坦にすることが非常に困難であった。

【0008】本発明は上記課題を解決するためになされたものであり、その目的とするところは、キャパシタ上の絶縁膜を平坦にすることが可能な半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0010】本発明の半導体装置は、開口部を有する第1の絶縁膜と、前記開口部内に選択的に形成されたキャパシタと、少なくとも前記開口部内に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された第3の絶縁膜とを具備している。

【0011】前記第1の絶縁膜及び前記キャパシタは拡散防止膜上に形成されてもよい。

【0012】前記キャパシタ上に拡散防止膜が形成されており、この拡散防止膜上に前記第2の絶縁膜が形成されてもよい。

【0013】前記第1の絶縁膜は、低誘電率膜、拡散防止膜、拡散防止膜と低誘電率膜との積層膜のいずれかからなることが望ましい。前記第3の絶縁膜は低誘電率膜からなり、前記第2の絶縁膜は前記第3の絶縁膜よりも比誘電率の高い膜からなることが望ましい。

【0014】本発明の半導体装置の製造方法は、第1の絶縁膜を形成する工程と、前記第1の絶縁膜を選択的に除去して、開口部を形成する工程と、前記開口部内にキャパシタを選択的に形成する工程と、少なくとも前記開口部内に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第3の絶縁膜を形成する工程とを含んでいる。

【0015】前記第1の絶縁膜は拡散防止膜上に形成してもよい。

【0016】前記キャパシタ上に拡散防止膜を形成した後、この拡散防止膜上に前記第2の絶縁膜を形成してもよい。

【0017】前記第1の絶縁膜は、低誘電率膜、拡散防止膜、拡散防止膜と低誘電率膜との積層膜のいずれかからなることが望ましい。前記第3の絶縁膜は低誘電率膜からなり、前記第2の絶縁膜は前記第3の絶縁膜よりも比誘電率の高い膜からなることが望ましい。

【0018】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0019】また、本発明の実施の形態において、低誘電率膜とは、比誘電率が約4.0以下の膜を意味し、高誘電率膜とは、この低誘電率膜よりも比誘電率が高い膜を意味する。

4

【0020】【第1の実施形態】第1の実施形態は、低誘電率膜からなる絶縁膜内に開口部を形成し、この開口部内にMIM (Metal Insulating Metal) キャパシタを形成することを特徴とする。

【0021】図1乃至図9は、本発明の第1の実施形態に係る半導体装置の製造工程の断面図を示す。以下に、第1の実施形態に係る半導体装置の製造方法について説明する。

【0022】まず、図1に示すように、低誘電率膜 11 上に、この低誘電率膜 11 より誘電率の高い高誘電率膜 12 が形成される。その後、ダマシン工程により、低誘電率膜 11 及び高誘電率膜 12 内に、例えばCuからなるViaホール 13 及び第1の配線 14 が形成される。次に、スパッタリングにより、平面の全面に例えばSiN膜からなるCu拡散防止膜 15 が形成され、このCu拡散防止膜 15 上に低誘電率膜である絶縁膜 16 が形成される。ここで、絶縁膜 16 の膜厚は例えば270 nm である。

【0023】次に、図2に示すように、絶縁膜 16 上にレジスト膜 17 が塗布され、このレジスト膜 17 がリソグラフィでパターニングされる。このパターニングされたレジスト膜 17 をマスクとして、RIE (Reactive Ion Etching) により絶縁膜 16 がパターニングされ、開口部 18 が形成される。その後、レジスト膜 17 が除去される。

【0024】次に、図3に示すように、スパッタリングにより、開口部 18 内及び絶縁膜 16 上に例えばTiN膜からなる下部電極膜 19 が形成され、この下部電極膜 19 上に例えばTa₂O₅膜からなる誘電体膜 20 が形成され、この誘電体膜 20 上に例えばTiN膜からなる上部電極膜 21 が形成される。ここで、下部電極膜 19 の膜厚は例えば60 nm、誘電体膜 20 の膜厚は例えば50 nm、上部電極膜 21 の膜厚は例えば50 nm である。

【0025】次に、図4に示すように、上部電極膜 21 上にレジスト膜 22 が塗布され、このレジスト膜 22 がリソグラフィでパターニングされる。その後、このパターニングされたレジスト膜 22 をマスクとして、RIEにより上部電極膜 21 がパターニングされる。ここで、上部電極膜 21 は、開口部 18 内に残存するようにパターニングされる。その後、レジスト膜 22 が除去される。

【0026】次に、図5に示すように、上部電極膜 21 及び誘電体膜 20 上にレジスト膜 23 が塗布され、このレジスト膜 23 がリソグラフィでパターニングされる。その後、このパターニングされたレジスト膜 23 をマスクとして、RIEにより誘電体膜 20 及び下部電極膜 19 がパターニングされる。ここで、誘電体膜 20 及び下部電極膜 19 は、例えば、上部電極膜 21 より表面積が広くかつ開口部 18 内に残存するように、パターニング

5

される。その結果、開口部 18 内に、下部電極膜 19 と誘電体膜 20 と上部電極膜 21 とからなる MIM キャパシタ 24 が形成される。その後、レジスト膜 23 が除去される。

【0027】次に、図 6 に示すように、PECVD (Plasma Enhanced Chemical Vapor Deposition) により、開口部 18 内及び絶縁膜 16 上に第 1 の層間膜 25 が形成される。ここで、第 1 の層間膜 25 は、例えば SiO₂ 膜のような高誘電率膜からなるが、低温で形成された CMP が可能な絶縁膜であればこれに限定されない。

【0028】次に、図 7 に示すように、CMP (Chemical Mechanical Polish) により、絶縁膜 16 の表面が露出するまで第 1 の層間膜 25 が平坦化される。ここで、キャパシタ 24 の表面が露出しないように、キャパシタ 24 上に 500 Å 乃至 1000 Å 程度のマージン量 X を確保しておくことが望ましい。つまり、下部電極膜 19、誘電体膜 20、上部電極膜 21 からなるキャパシタ 24 の膜厚が、絶縁膜 16 の膜厚よりも薄くなるようにすればよい。

【0029】次に、図 8 に示すように、第 1 の層間膜 25 及び絶縁膜 16 上に第 2 の層間膜 26 が形成され、この第 2 の層間膜 26 上に第 3 の層間膜 27 が形成される。ここで、第 2 の層間膜 26 は例えば FSG (fluorine Spin Glass) 膜のような低誘電率膜からなり、第 3 の層間膜 27 は例えば SiO₂ 膜のような高誘電率膜からなる。

【0030】次に、図 9 に示すように、第 1、第 2、第 3 の層間膜 25、26、27 等が除去され、Via ホール及び配線用の溝が形成される。次に、Via ホール及び配線用の溝内にバリアメタル層 (図示せず) が堆積され、このバリアメタル層上に Cu 膜がめっきにより堆積される。次に、CMP によりバリアメタル層及び Cu 膜が平坦化され、Via ホール 28a、28b、28c 及び第 2 の配線 29a、29b、29c が形成される。ここで、Via ホール 28a 及び第 2 の配線 29a はキャパシタ 24 の下部電極膜 19 に接続し、Via ホール 28b 及び第 2 の配線 29b はキャパシタ 24 の上部電極膜 21 に接続し、Via ホール 28c 及び第 2 の配線 29c は第 1 の配線 14 に接続する。その後、第 3 の層間膜 27 及び第 2 の配線 29a、29b、29c 上に Cu 拡散防止膜 30 が形成される。

【0031】図 10 は、本発明の第 1 の実施形態に係わる半導体装置の平面図を示す。図 10 に示すように、絶縁膜 16 内に開口部 18 が形成され、この開口部 18 内にキャパシタ 24 が形成されている。これにより、キャパシタ 24 は絶縁膜 16 で囲まれ、第 1 の層間膜 25 は開口部 18 内の隙間に形成される。なお、図 7 は、図 10 に示す VII-VII 線に沿った半導体装置の断面図である。

【0032】上記第 1 の実施形態によれば、キャパシタ

6

24 上に形成する第 1 の層間膜 25 には、CMP を用いてもクラックが生じ難い膜 (例えば高誘電率膜) を用いている。このため、CMP を用いて、キャパシタ 24 上の第 1 の層間膜 25 の表面を平坦化することが可能である。

【0033】また、絶縁膜 16 内に開口部 18 が形成され、この開口部 18 内にキャパシタ 24 が形成される。このため、キャパシタ 24 は絶縁膜 16 で囲まれた状態となる。従って、高誘電率膜である第 1 の層間膜 25 は開口部 18 内だけにのみ形成されるため、配線間の寄生容量を低減できる。

【0034】また、Via ホール 28a、28b、28c 及び第 2 の配線 29a、29b、29c の周囲の大部分には、低誘電率膜である第 2 の層間膜 26 が設けられている。従って、配線間の寄生容量をさらに低減できる。

【0035】また、キャパシタ 24 の周囲に絶縁膜 16 を設けているため、キャパシタ 24 によって生じる段差を小さくすることができる。すなわち、キャパシタ 24 上に第 1 の層間膜 25 が形成された際、第 1 の層間膜 25 にキャパシタ 24 の形状が反映され難い。従って、従来よりも容易にキャパシタ 24 上の第 1 の層間膜 25 の表面を平坦化することができる。

【0036】また、絶縁膜 16 は低誘電率膜で形成されているため、配線間の容量をさらに低減できる。

【0037】また、キャパシタ 24 の下に Cu 拡散防止膜 15 が形成されている。このため、第 2 の配線 29a、29b、29c 及び Via ホール 28a、28b、28c からキャパシタ 24 の下に形成された素子 (図示せず) への Cu 汚染を防止できる。

【0038】また、CMP で第 1 の層間膜 25 を平坦化する際、マージン量 X を確保することで、キャパシタ 24 の表面のダメージを防止でき、キャパシタ 24 の性能を向上できる。

【0039】なお、第 1 の層間膜 25 は、塗布によって形成される有機系絶縁膜でもよい。この場合、塗布時に絶縁膜の表面をほぼ平坦にできるため、図 7 に示す CMP の平坦化工程を省略することが可能である。従って、第 1 の層間膜 25 に、CMP の制限から用いることができなかった低誘電率膜を用いることができる。このように、第 1 の層間膜 25 に塗布型の膜を用いれば、工程数を減少できるだけでなく、さらに配線間の容量を低減できる。

【0040】また、図 7 の工程において、CMP によって第 1 の層間膜 25 の表面が平坦になれば、この第 1 の層間膜 25 を絶縁膜 16 の表面が露出するまで平坦化しなくてもよい。しかし、高誘電率膜である第 1 の層間膜 25 の残存量はできる限り少なくした方が配線間の容量を低減できるため、第 1 の層間膜 25 は絶縁膜 16 の表面が露出するまで平坦化するのが望ましい。

7

【0041】また、上記第1の実施形態では、以下に示すように、キャパシタ24を保護するために、キャパシタ24上にCu拡散防止膜を形成してもよい。まず、図5に示すように、キャパシタ24が形成される。次に、図11に示すように、キャパシタ24及び絶縁膜15上にCu拡散防止膜31が形成され、このCu拡散防止膜31上に第1の層間膜25が形成される。次に、図12に示すように、CMPにより、絶縁膜16の表面が露出するまで第1の層間膜25が平坦化される。その後は、

上記第1の実施形態と同様の工程を経て、図13に示す構造が形成される。この構造によれば、キャパシタ24上にCu拡散防止膜31が形成されているため、第2の配線29a、29b、29c及びViaホール28a、28b、28cからキャパシタ24の誘電体膜20へのCu汚染を防止することができる。

【0042】〔第2の実施形態〕第2の実施形態は、開口部を有する絶縁膜が、Cu拡散防止膜で形成されていることを特徴とする。

【0043】図14乃至図22は、本発明の第2の実施形態に係る半導体装置の製造工程の断面図を示す。以下に、第2の実施形態に係る半導体装置の製造方法について説明する。この第2の実施形態に係る半導体装置の製造方法では、上記第1の実施形態に係る半導体装置の製造方法と同様の工程は説明を省略し、異なる工程のみ説明する。

【0044】まず、図14に示すように、第1の実施形態と同様に、低誘電率膜11及び高誘電率膜12内に、例えばCuからなるViaホール13及び第1の配線14が形成される。次に、スパッタリングにより、平面の全面に例えばSiN膜からなるCu拡散防止膜15が形成される。ここで、Cu拡散防止膜15の膜厚は例えば270nmである。

【0045】次に、図15に示すように、Cu拡散防止膜15上にレジスト膜17が塗布され、このレジスト膜17がリソグラフィでパターンニングされる。このパターンニングされたレジスト膜17をマスクとして、RIEによりCu拡散防止膜15がパターンニングされ、開口部18が形成される。その後、レジスト膜17が除去される。

【0046】次に、図16に示すように、スパッタリングにより、開口部18内及びCu拡散防止膜15上に例えばTiN膜からなる下部電極膜19が形成され、この下部電極膜19上に例えばTa₂O₅膜からなる誘電体膜20が形成され、この誘電体膜20上に例えばTiN膜からなる上部電極膜21が形成される。ここで、下部電極膜19の膜厚は例えば60nm、誘電体膜20の膜厚は例えば50nm、上部電極膜21の膜厚は例えば50nmである。

【0047】次に、図17に示すように、上部電極膜21上にレジスト膜22が塗布され、このレジスト膜22

8

がリソグラフィでパターンニングされる。その後、このパターンニングされたレジスト膜22をマスクとして、RIEにより上部電極膜21がパターンニングされる。ここで、上部電極膜21は、開口部18内に残存するようにパターンニングされる。その後、レジスト膜22が除去される。

【0048】次に、図18に示すように、上部電極膜21及び誘電体膜20上にレジスト膜23が塗布され、このレジスト膜23がリソグラフィでパターンニングされる。その後、このパターンニングされたレジスト膜23をマスクとして、RIEにより誘電体膜20及び下部電極膜19がパターンニングされる。ここで、誘電体膜20及び下部電極膜19は、上部電極膜21より表面積が広くかつ開口部18内に残存するように、パターンニングされる。その結果、開口部18に、下部電極膜19と誘電体膜20と上部電極膜21とからなるMIMキャパシタ24が形成される。その後、レジスト膜23が除去される。

【0049】次に、図19に示すように、PECVDにより、開口部18内及びCu拡散防止膜15上に第1の層間膜25が形成される。ここで、第1の層間膜25は、例えばSiO₂膜のような高誘電率膜からなるが、低温で形成されたCMPが可能な絶縁膜であればこれに限定されない。

【0050】次に、図20に示すように、CMPにより、Cu拡散防止膜15の表面が露出するまで第1の層間膜25が平坦化される。ここで、キャパシタ24の表面が露出しないように、キャパシタ24上に500Å乃至1000Å程度のマージン量Xを確保しておくことが望ましい。つまり、下部電極膜19、誘電体膜20、上部電極膜21からなるキャパシタ24の膜厚が、Cu拡散防止膜15の膜厚よりも薄くなるようにすればよい。

【0051】次に、図21に示すように、第1の層間膜25及びCu拡散防止膜15上に第2の層間膜26が形成され、この第2の層間膜26上に第3の層間膜27が形成される。ここで、第2の層間膜26は例えばFSG膜のような低誘電率膜からなり、第3の層間膜27は例えばSiO₂膜のような高誘電率膜からなる。

【0052】次に、図22に示すように、第1の実施形態と同様に、Viaホール28a、28b、28c及び第2の配線29a、29b、29cが形成された後、Cu拡散防止膜30が形成される。

【0053】上記第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0054】さらに、第2の実施形態では、Cu拡散防止膜15に開口部18が形成されている。つまり、開口部18を形成するための膜を新たに設けずに、Cu拡散防止膜15を利用している。このため、第1の実施形態よりも製造工程数を減少できる。

【0055】なお、上記第2の実施形態では、以下に示

9

すように、キャパシタ 24 を保護するために、キャパシタ 24 上に Cu 拡散防止膜を形成してもよい。まず、図 18 に示すように、キャパシタ 24 が形成される。次に、図 23 に示すように、キャパシタ 24 及び Cu 拡散防止膜 15 上に Cu 拡散防止膜 31 が形成され、この Cu 拡散防止膜 31 上に第 1 の層間膜 25 が形成される。次に、図 24 に示すように、CMP により、Cu 拡散防止膜 15 の表面が露出するまで第 1 の層間膜 25 が平坦化される。その後は、上記第 2 の実施形態と同様の工程を経て、図 25 に示す構造が形成される。この構造によれば、キャパシタ 24 上に Cu 拡散防止膜 31 が形成されているため、第 2 の配線 29a、29b、29c 及び Via ホール 28a、28b、28c からキャパシタ 24 の誘電体膜 20 への Cu 汚染を防止することができる。

【0056】[第 3 の実施形態] 第 3 の実施形態は、開口部を有する絶縁膜が、Cu 拡散防止膜と低誘電率膜との積層膜で形成されていることを特徴とする。

【0057】図 26 乃至図 34 は、本発明の第 3 の実施形態に係る半導体装置の製造工程の断面図を示す。以下に、第 3 の実施形態に係る半導体装置の製造方法について説明する。この第 3 の実施形態に係る半導体装置の製造方法では、上記第 1 の実施形態に係る半導体装置の製造方法と同様の工程は説明を省略し、異なる工程のみ説明する。

【0058】まず、図 26 に示すように、第 1 の実施形態と同様に、低誘電率膜 11 及び高誘電率膜 12 内に、例えば Cu からなる Via ホール 13 及び第 1 の配線 14 が形成される。次に、スパッタリングにより、平面の全面に例えば SiN 膜からなる Cu 拡散防止膜 15 が形成され、この Cu 拡散防止膜 15 上に低誘電率膜である絶縁膜 16 が形成される。ここで、Cu 拡散防止膜 15 と絶縁膜 16 との合計膜厚は例えば 270 nm である。

【0059】次に、図 27 に示すように、絶縁膜 16 上にレジスト膜 17 が塗布され、このレジスト膜 17 がリソグラフィでパターニングされる。このパターニングされたレジスト膜 17 をマスクとして、RIE により Cu 拡散防止膜 15 及び絶縁膜 16 がパターニングされ、開口部 18 が形成される。その後、レジスト膜 17 が除去される。

【0060】次に、図 28 に示すように、スパッタリングにより、開口部 18 内及び絶縁膜 16 上に例えば TiN 膜からなる下部電極膜 19 が形成され、この下部電極膜 19 上に例えば Ta₂O₅ 膜からなる誘電体膜 20 が形成され、この誘電体膜 20 上に例えば TiN 膜からなる上部電極膜 21 が形成される。ここで、下部電極膜 19 の膜厚は例えば 60 nm、誘電体膜 20 の膜厚は例えば 50 nm、上部電極膜 21 の膜厚は例えば 50 nm である。

【0061】次に、図 29 に示すように、上部電極膜 2

10

1 上にレジスト膜 22 が塗布され、このレジスト膜 22 がリソグラフィでパターニングされる。その後、このパターニングされたレジスト膜 22 をマスクとして、RIE により上部電極膜 21 がパターニングされる。ここで、上部電極膜 21 は、開口部 18 内に残存するようにパターニングされる。その後、レジスト膜 22 が除去される。

【0062】次に、図 30 に示すように、上部電極膜 21 及び誘電体膜 20 上にレジスト膜 23 が塗布され、このレジスト膜 23 がリソグラフィでパターニングされる。その後、このパターニングされたレジスト膜 23 をマスクとして、RIE により誘電体膜 20 及び下部電極膜 19 がパターニングされる。ここで、誘電体膜 20 及び下部電極膜 19 は、上部電極膜 21 より表面積が広くかつ開口部 18 内に残存するように、パターニングされる。その結果、開口部 18 内に、下部電極膜 19 と誘電体膜 20 と上部電極膜 21 とからなる MIM キャパシタ 24 が形成される。その後、レジスト膜 23 が除去される。

【0063】次に、図 31 に示すように、PECVD により、開口部 18 内及び絶縁膜 16 上に第 1 の層間膜 25 が形成される。ここで、第 1 の層間膜 25 は、例えば SiO₂ 膜のような高誘電率膜からなるが、低温で形成された CMP が可能な絶縁膜であればこれに限定されない。

【0064】次に、図 32 に示すように、CMP により、絶縁膜 16 の表面が露出するまで第 1 の層間膜 25 が平坦化される。ここで、キャパシタ 24 の表面が露出しないように、キャパシタ 24 上に 500 Å 乃至 1000 Å 程度のマージン量 X を確保しておくことが望ましい。つまり、下部電極膜 19、誘電体膜 20、上部電極膜 21 からなるキャパシタ 24 の膜厚が、絶縁膜 16 と Cu 拡散防止膜 15 との合計膜厚よりも薄くなるようにすればよい。

【0065】次に、図 33 に示すように、第 1 の層間膜 25 及び絶縁膜 16 上に第 2 の層間膜 26 が形成され、この第 2 の層間膜 26 上に第 3 の層間膜 27 が形成される。ここで、第 2 の層間膜 26 は例えば FSG 膜のような低誘電率膜からなり、第 3 の層間膜 27 は例えば SiO₂ 膜のような高誘電率膜からなる。

【0066】次に、図 34 に示すように、第 1 の実施形態と同様に、Via ホール 28a、28b、28c 及び第 2 の配線 29a、29b、29c が形成された後、Cu 拡散防止膜 30 が形成される。

【0067】上記第 3 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。

【0068】さらに、高誘電率膜の Cu 拡散防止膜 15 とこの Cu 拡散防止膜上に形成された低誘電率膜の絶縁膜 16 との積層膜が除去され、開口部 18 が形成されている。このため、キャパシタ 24 の周囲には高誘電率膜

11

だけでなく低誘電率膜が存在する。従って、第2の実施形態よりも配線間の容量を低減できる。

【0069】なお、上記第3の実施形態では、以下に示すように、キャパシタ24を保護するために、キャパシタ24上にCu拡散防止膜を形成してもよい。まず、図30に示すように、キャパシタ24が形成される。次に、図35に示すように、キャパシタ24及び絶縁膜16上にCu拡散防止膜31が形成され、このCu拡散防止膜31上に第1の層間膜25が形成される。次に、図36に示すように、CMPにより、絶縁膜16の表面が露出するまで第1の層間膜25が平坦化される。その後は、上記第3の実施形態と同様の工程を経て、図37に示す構造が形成される。この構造によれば、キャパシタ24上にCu拡散防止膜31が形成されているため、第2の配線29a、29b、29c及びViaホール28a、28b、28cからキャパシタ24の誘電体膜20へのCu汚染を防止することができる。

【0070】その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0071】

【発明の効果】以上説明したように本発明によれば、キャパシタ上の絶縁膜を平坦にすることが可能な半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図2】図1に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図3】図2に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図4】図3に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図5】図4に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図6】図5に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図7】図6に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図8】図7に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図9】図8に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図10】本発明の第1の実施形態に係わる半導体装置を示す平面図。

【図11】図5に続く、本発明の第1の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図12】図11に続く、本発明の第1の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図13】図12に続く、本発明の第1の実施形態に係わる他の半導体装置の製造工程を示す断面図。

12

【図14】本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図15】図14に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図16】図15に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図17】図16に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図18】図17に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図19】図18に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図20】図19に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図21】図20に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図22】図21に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図23】図18に続く、本発明の第2の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図24】図23に続く、本発明の第2の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図25】図24に続く、本発明の第2の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図26】本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図27】図26に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図28】図27に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図29】図28に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図30】図29に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図31】図30に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図32】図31に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図33】図28に続く、本発明の第3の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図34】図33に続く、本発明の第3の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図35】図30に続く、本発明の第3の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図36】図35に続く、本発明の第3の実施形態に係わる他の半導体装置の製造工程を示す断面図。

【図37】図36に続く、本発明の第3の実施形態に係わる他の半導体装置の製造工程を示す断面図。

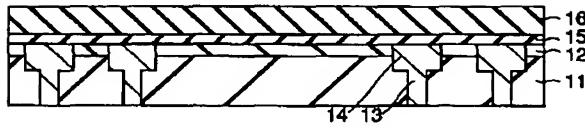
【図38】従来技術による半導体装置を示す断面図。

【符号の説明】

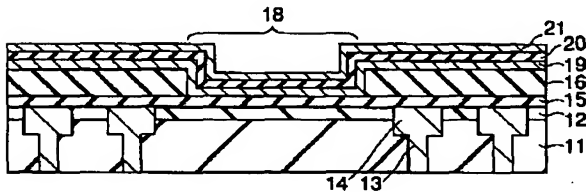
13

- 11…低誘電率膜、
 12…高誘電率膜、
 13、28a、28b、28c…V i a ホール、
 14…第1の配線、
 15、30、31…Cu 拡散防止膜、
 16…絶縁膜、
 17、22、23…レジスト膜、
 18…開口部、

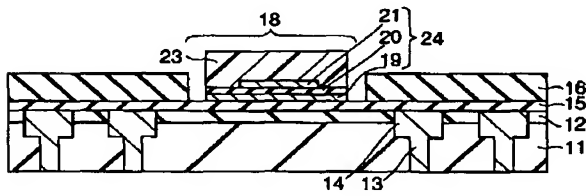
【図1】



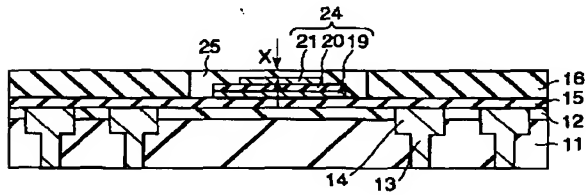
【図3】



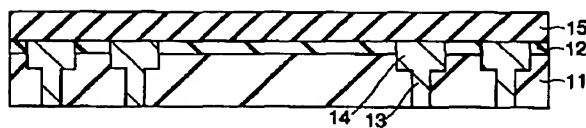
【図5】



【図7】



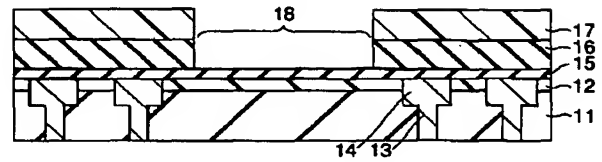
【図14】



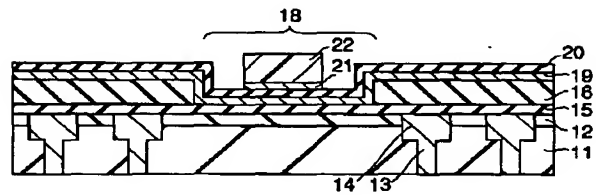
14

- * 19…下部電極膜、
 20…誘電体膜、
 21…上部電極膜、
 24…キャパシタ、
 25…第1の層間膜、
 26…第2の層間膜、
 27…第3の層間膜、
 * 29a、29b、29c…第2の配線。

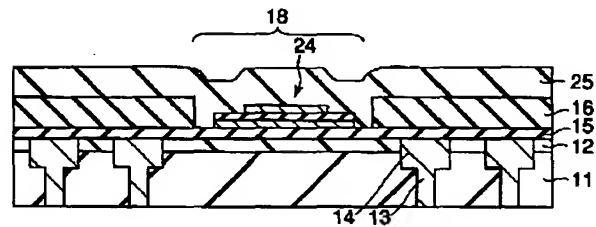
【図2】



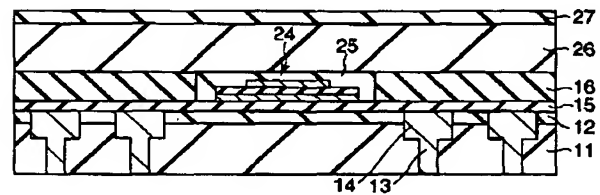
【図4】



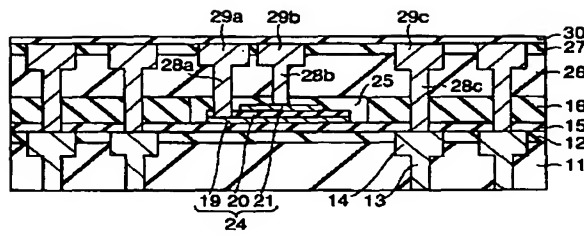
【図6】



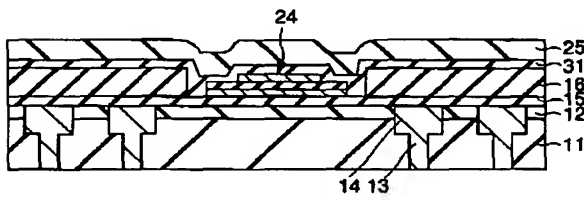
【図8】



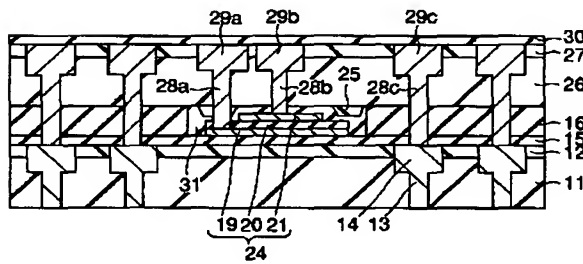
【図 9】



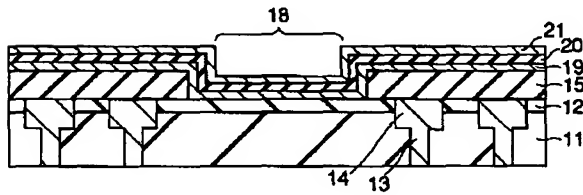
【図 11】



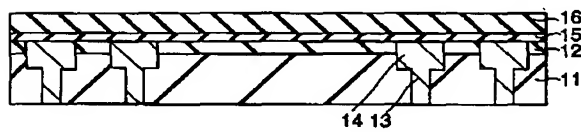
【図 13】



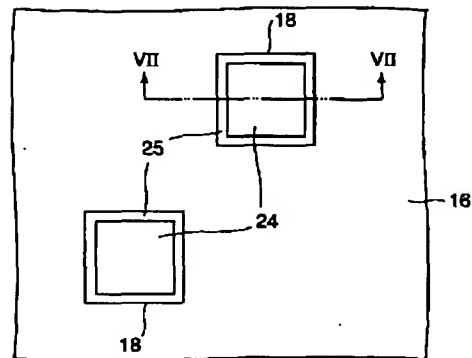
【図 16】



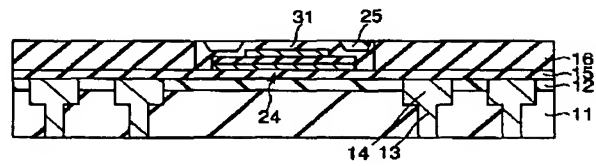
【図 26】



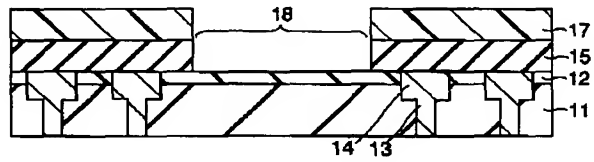
【図 10】



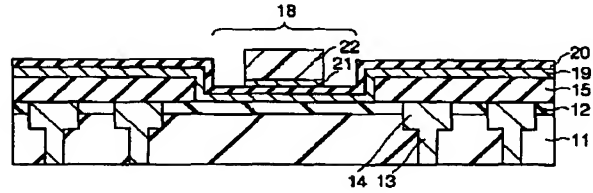
【図 12】



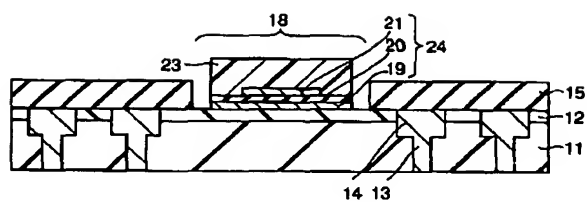
【図 15】



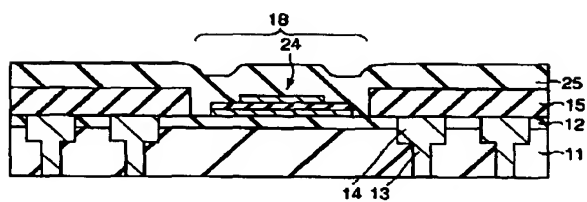
【図 17】



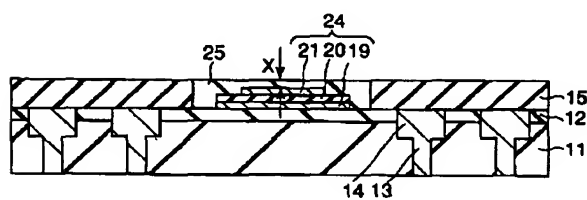
【図18】



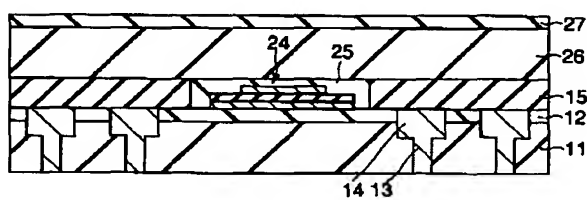
【図19】



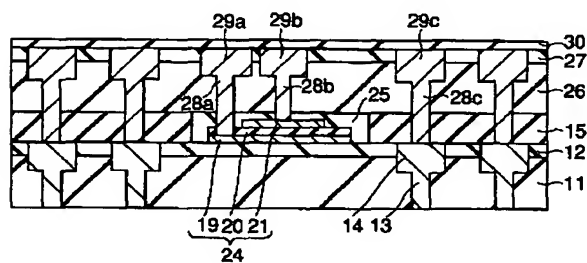
【図20】



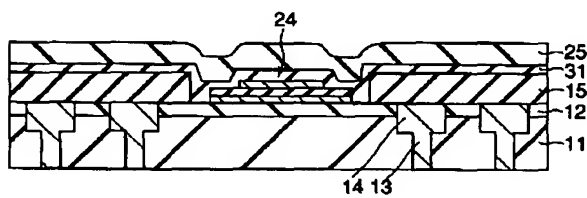
【図21】



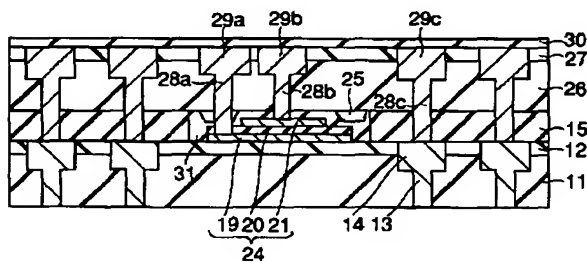
【図22】



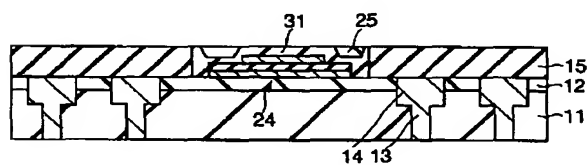
【図23】



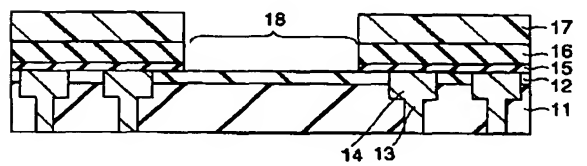
【図25】



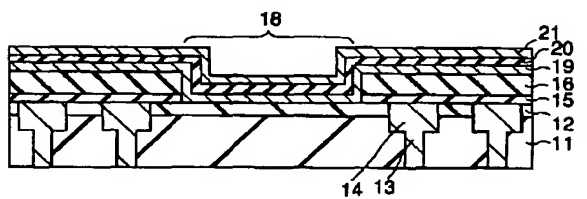
【図24】



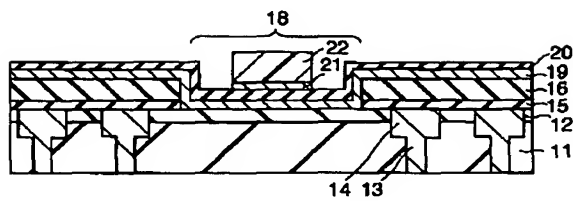
【図27】



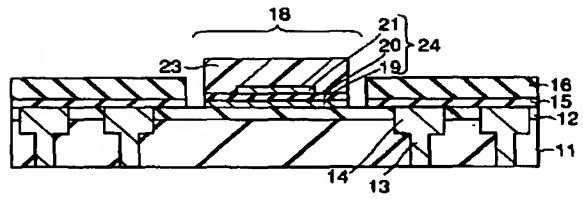
【図28】



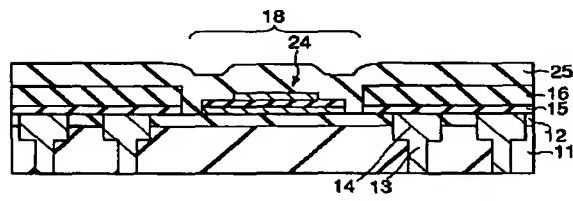
【図 29】



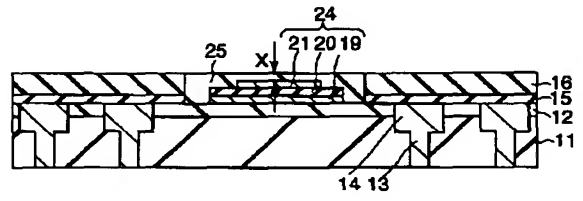
【図 30】



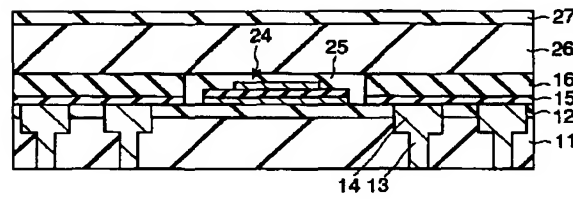
【図 31】



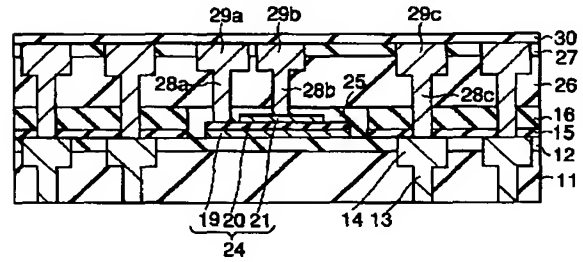
【図 32】



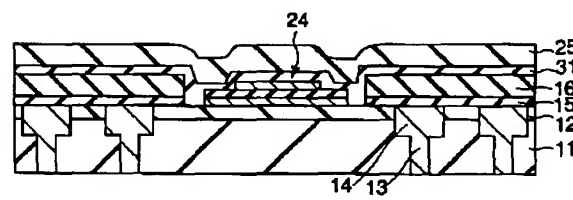
【図 33】



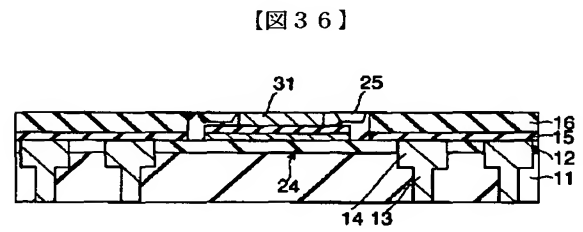
【図 34】



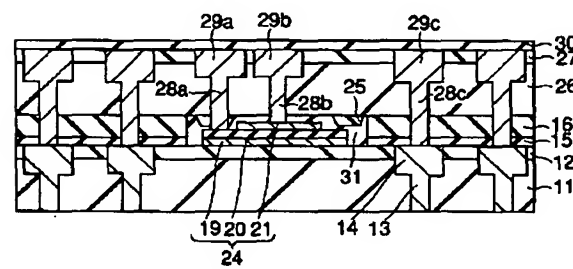
【図 35】



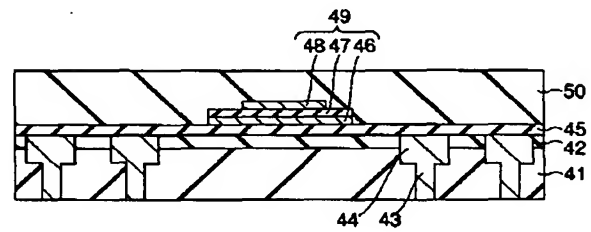
【図 36】



【図 37】



【図 38】



フロントページの続き

Fターム(参考) 5F033 HH11 JJ11 KK33 MM02 MM12
MM13 NN06 NN07 PP15 PP26
QQ08 QQ09 QQ10 QQ13 QQ48
RR04 RR06 RR09 RR11 SS08
SS15 VV10 XX01
5F038 AC05 AC15 AC17 CD13 EZ14
EZ15 EZ20